

SOLID-STATE IMAGE PICKUP DEVICE**Publication number:** JP4281683**Publication date:** 1992-10-07**Inventor:** HAMAZAKI MASA HARU**Applicant:** SONY CORP**Classification:**

- international: **H01L27/146; H01L27/148; H04N3/15; H04N5/335;**
H01L27/146; H01L27/148; H04N3/15; H04N5/335;
(IPC1-7): H01L27/146; H04N5/335

- European: H01L27/148A2; H01L27/148C4; H04N3/15E

Application number: JP19910069341 19910308**Priority number(s):** JP19910069341 19910308

Also published as:



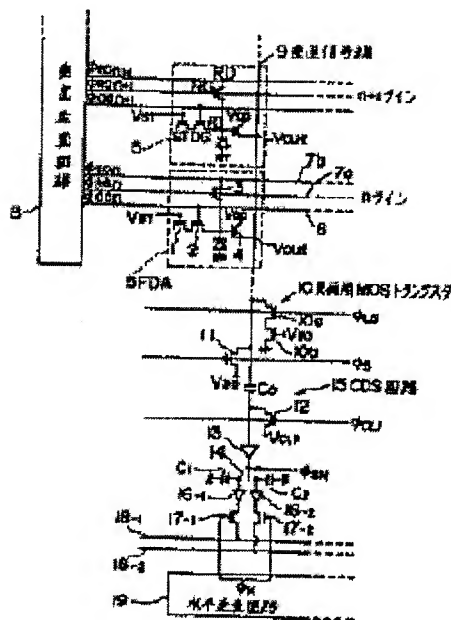
US5335008 (A1)

Report a data error here

Abstract of JP4281683

PURPOSE: To reduce the dispersion in a threshold voltage by forming a load MOS transistor (TR) with MOSFETs connected in series, one of which has a constant current characteristic and the other of which has a resistance characteristic by negative feedback.

CONSTITUTION: A load MOS TR 10 consists of two MOSFETs 10a, 10b connected in series between a vertical signal line 9 and ground. A ratio W/L being a channel width W to a length L of the MOSFET 10a is set large to decrease a difference between a gate voltage and a threshold voltage thereby causing a constant current characteristic. On the other hand, the W/L of the MOSFET 10b is set small to increase the difference between the gate voltage and the threshold voltage thereby providing a linear operating characteristic to the MOSFET 10b. A gain change between picture elements is avoided by forming the load MOSFET 10 with the MOSFET 10a having the constant current characteristic and the MOSFET 10b having the resistance characteristic by negative feedback connected in series in this way, the dispersion in the threshold voltage is eliminated, the width of the vertical signal line 9 is made thin and the aperture rate is more improved.



Data supplied from the esp@cenet database - Worldwide

(11)特許出願公開番号

(43)公開日 平成4年(1992)10月7日

審査請求 未請求 請求項の数 1 (全 5 頁)

(74) 代理人 弁理士 船橋 国則

【特許請求の範囲】

【請求項1】 2次元配列された複数画素の各画素毎に、光電変換された信号電荷を増幅して垂直信号線に出力する増幅用トランジスタを有し、各垂直信号線には負荷用トランジスタが接続された構成の固体撮像装置において、前記負荷用トランジスタは、互いに直列接続された定電流特性を有する第1のFETと、負帰還による抵抗作用をなす第2のFETとからなることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、固体撮像装置に関し、特に各画素毎に増幅素子を有する増幅型固体撮像装置に関する。

【0002】

【従来の技術】固体撮像装置のうち、CCD(Charge Coupled Device)型固体撮像装置では、各画素の光電変換部に入射光に応じて蓄積された信号電荷を、CCDを用いて電荷のまま出力部に転送する構成となっているが、CCDによる電荷転送中に雑音成分が混入することにより、S/Nが劣化し易いという不具合があった。かかる不具合を解消すべくなされた固体撮像装置として、入射光に応じて信号電荷を蓄積する光電変換部と、この光電変換部に蓄積された信号電荷を増幅して垂直信号線に出力する増幅用MOSトランジスタと、この増幅用MOSトランジスタの入力をリセットするリセット手段とを有するフォトセンサ部を、2次元配列された複数画素の各画素毎に設けた構成の増幅型固体撮像装置が知られている(例えば、特開平1-154678号公報参照)。この増幅型固体撮像装置においては、通常、各画素毎に増幅用MOSトランジスタを持つ他、各垂直信号線に1個の負荷用MOSトランジスタが接続された構成となっている。

【0003】

【発明が解決しようとする課題】ところで、垂直信号線は、アルミニウム線等によってパターン配線されることになるが、開口率を高めるためにはできるだけ細い方がよい。しかし、垂直信号線があまり細すぎると、垂直信号線に電流が流れたとき、垂直信号線内で電圧降下が起き、負荷用MOSトランジスタに近い画素と遠い画素で、同じ出力電圧でも電圧差が生じることになる。例えば、幅が $0.8\mu\text{m}$ 、厚さが $0.4\mu\text{m}$ 、画素領域の全長が4mmのアルミニウム線の両端では、線抵抗Rが 450Ω 程度になる。このとき、負荷用MOSトランジスタの定電流特性が良いと、画素内の電流は一定であるから、画素間でゲイン変化は生じない。定電流特性を良くするには、チャネル長Lを長くし、ゲート電圧を V_g 、スレッシュホールド電圧を V_{th} とした場合、 $V_g - V_{th}$ を小さくすればよい。このとき、電流 I_L は、電子の移動度を μ_n 、酸化膜の単位面積当りの容量を C_{ox} 、ソース電

圧を V_s とすると、

$$I_L = 1/2 \mu_n C_{ox} (V_g - V_{th} - V_s)^2$$

で表され、 $V_s = 0$ で $(V_g - V_{th})$ が小さいと、スレッシュホールド電圧 V_{th} のバラツキ(以下、 V_{th} ムラと称する)が2乗されることによって大きくなるという問題がある。

【0004】そこで、本発明は、垂直信号線の負荷用MOSトランジスタの V_{th} ムラを低減し、垂直信号線の細線化に伴う開口率の向上を可能とした固体撮像装置を提供することを目的とする。

【0005】

【課題を解決するための手段】上記の目的を達成するために、本発明は、2次元配列された複数画素の各画素毎に、光電変換された信号電荷を増幅して垂直信号線に出力する増幅用トランジスタを有し、各垂直信号線には負荷用トランジスタが接続された構成の固体撮像装置において、互いに直列接続された定電流特性を有する第1のFETと、負帰還による抵抗作用をなす第2のFETとによって前記負荷用トランジスタを構成している。

【0006】

【作用】本発明による固体撮像装置において、第1のFETとして、チャネル幅Wとチャネル長Lとの比 W/L を大きく設定し、 $(V_g - V_{th})$ を小さくすることで定電流特性を持たせたものを用い、第2のFETとして、 W/L を小さく設定し、 $(V_g - V_{th})$ を大きくすることでリニア動作をなすものを用いる。これによれば、負荷用MOSトランジスタとして、定電流性に優れかつ V_{th} ムラに強いものを得ることができるので、垂直信号線をより細線化でき、これに伴い開口率をより向上できる。

【0007】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。図1は、本発明による固体撮像装置の一実施例の要部を示す回路図である。この図では、説明の都合上、水平及び垂直方向においてマトリクス状に2次元配列された複数画素のうち、隣り合うn番目及びn+1番目の2ラインの各1画素のみの回路構成を示しているが、残りの画素も全て同じ回路構成となっているものとする。図において、各画素に光が入射すると、その入射光に応じた信号電荷がストレージ(ST)1に蓄えられる。このストレージ1及びその出力ゲート(OG)スイッチ2により1ビットのCCDが構成されている。また、このCCDと同一チップ上にリセット用MOS-FET3とソースホロワの増幅用MOS-FET4が作られ、増幅用MOS-FET4のゲートがFD(Floating Diffusion)に接続されてフローティング・ディフュージョン・アンプ(FDA)5を構成している。

【0008】このフローティング・ディフュージョン・アンプ5において、出力ゲートスイッチ2のゲート電極が出力ゲート(OG)信号線6に接続され、またリセッ

3

ト用MOS-FET3のゲート電極がリセットゲート(RG)信号線7aに、リセット電極がリセットドレイン(RD)信号線7bにそれぞれ接続されている。そして、垂直走査回路8から、出力ゲートスイッチ2のゲート電極に出力ゲートパルス ϕ_{og} が、またリセット用MOS-FET3のゲート電極にリセットゲートパルス ϕ_{rg} が、ドレイン電極にリセットドレインパルス ϕ_{rd} がそれぞれ印加されることによって水平ラインの選択を行うように構成されている。また、増幅用MOS-FET4のドレイン電極には電源電圧 V_{DD} が印加され、そのソース電極が出力端 V_{out} として垂直信号線9に接続されている。そして、1の水平ラインが選択されると、その選択された水平ラインの全画素の信号電荷が増幅用MOS-FET4によって増幅されて垂直信号線9に出力される。

【0009】垂直信号線9には、負荷用MOSトランジスタ10及びP型MOS-FETからなる転送ゲートスイッチ11が接続されており、この垂直信号線9に出力された各画素の増幅出力はノイズ除去用コンデンサ C_0 に蓄えられる。このコンデンサ C_0 の出力端にはクランプスイッチ12が接続されており、クランプスイッチ12がそのゲート電極にクランプパルス ϕ_{clp} が印加されることによってオン状態となることにより、コンデンサ C_0 の出力端の電位がクランプレベル V_{clp} にクランプされる。このノイズ除去用コンデンサ C_0 及びクランプスイッチ12により、増幅用MOS-FET4のソース出力に含まれるリセット雑音等の雑音を低減するためのCDS(相関二重サンプリング)回路15が構成されている。

【0010】負荷用MOSトランジスタ10は、垂直信号線9と接地間に互いに直列接続されたMOS-FET10a及びMOS-FET10bによって構成されている。一方のMOS-FET10aとしては、チャネル幅 W とチャネル長 L との比 W/L を大きく設定し、 $(V_g - V_{th})$ を小さくすることで、図2に実線Aで示す如き定電流特性を持たせたものを用いる。他方のMOS-FET10bとしては、 W/L を小さく設定し、 $(V_g - V_{th})$ を大きくすることで、図2に一点鎖線Bで示すように、リニア動作をなすものを用いる。このMOS-FET10bにおいて、ドレイン電圧を V_D とすると、その電流 I は、 $I = \mu_n C_{ox} (W/L) (V_g - V_{th}) V_D$ で決まることになり、MOS-FET10bは負帰還による抵抗作用をなすことになる。このMOS-FET10bで主として電流が決まるようにパラメータを設定する。ここで、 $V_g \gg V_{th}$ とすると、 V_{th} ムラに対して強いものとなる。

【0011】ノイズ除去用コンデンサ C_0 の出力は、バッファアンプ13を経た後切替えスイッチ14によってサンプル/ホールド用コンデンサ C_1 、 C_2 に択一的に

4

供給され、これらコンデンサ C_1 、 C_2 によってサンプル/ホールドされる。切替えスイッチ14の切替え制御は、水平ブランキング期間において発生されるサンプル/ホールドパルス ϕ_{sh} によって1ライン毎に行われる。これにより、例えば、偶数ラインの画素出力がコンデンサ C_1 に、奇数ラインの画素出力がコンデンサ C_2 にそれぞれホールドされることになる。コンデンサ C_1 、 C_2 のホールド出力は、バッファアンプ16-1、16-2を経た後、水平ゲートスイッチ17-1、17-2によるスイッチングによって水平信号線18-1、18-2に導出される。水平ゲートスイッチ16-1、16-2のスイッチング制御は、水平走査回路19から出力される水平シフトパルス ϕ_s によって行われる。

【0012】上述したように、各垂直信号線9に接続される負荷用MOSトランジスタ10を、互いに直列接続された定電流特性を有するMOS-FET10a及び負帰還による抵抗作用をなすMOS-FET10bによって構成したことにより、MOS-FET10aの定電流性によって画素間でゲイン変化が生ずることはなく、しかもMOS-FET10bが V_{th} ムラに強いことから、垂直信号線9のより細線化が可能となり、これに伴い開口率をより向上できることになる。

【0013】なお、本発明は、上記実施例の回路構成への適用に限定されるものではなく、各垂直信号線9に接続された負荷用MOSトランジスタ10を有する増幅型固体撮像装置全般に適用し得るものである。

【0014】

【発明の効果】以上説明したように、本発明によれば、増幅型固体撮像装置において、各垂直信号線に接続される負荷用MOSトランジスタを、互いに直列接続された定電流特性を有するMOS-FET及び負帰還による抵抗作用をなすMOS-FETによって構成したことにより、定電流性に優れかつ V_{th} ムラに強い負荷用MOSトランジスタが得られるので、垂直信号線をより細線化でき、これに伴い開口率をより向上できる効果がある。

【図面の簡単な説明】

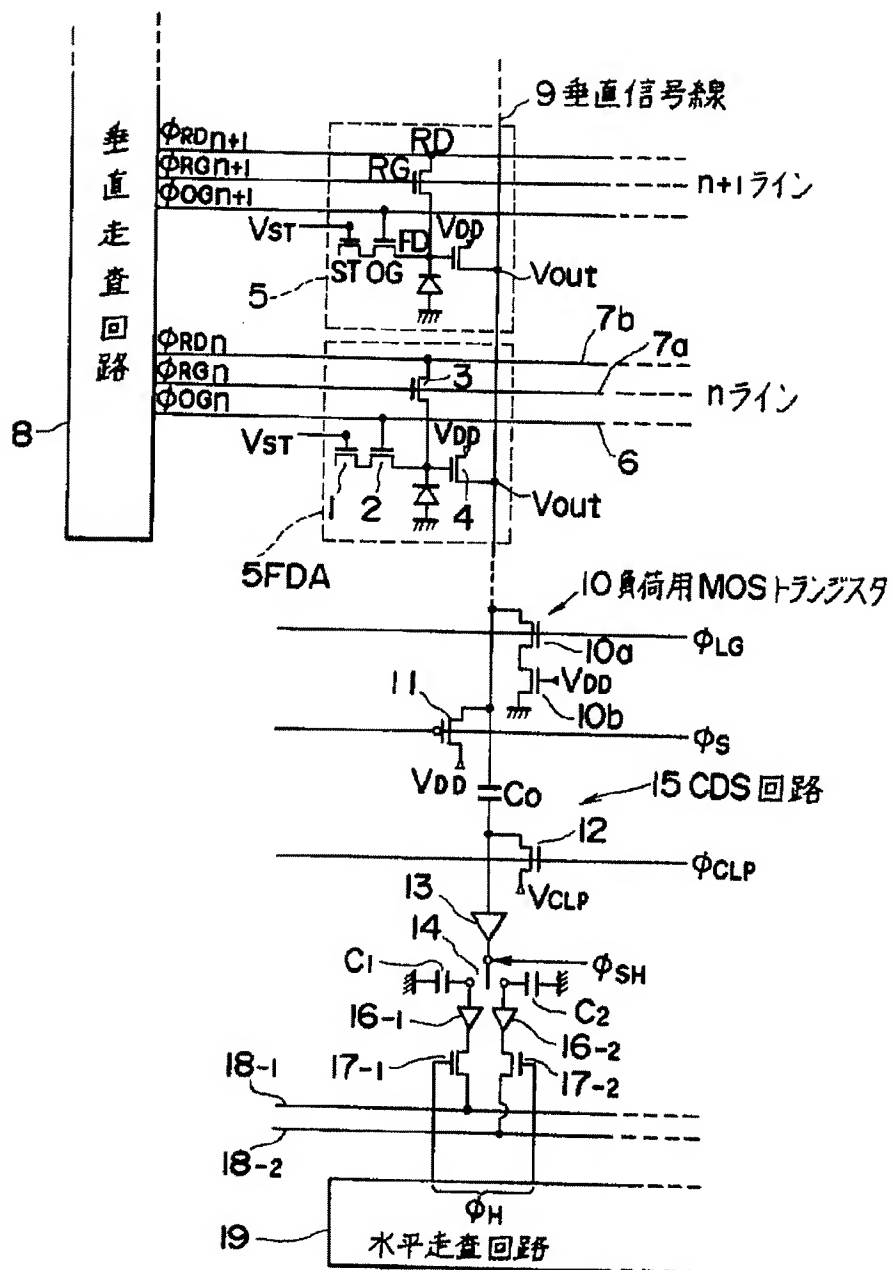
【図1】本発明による固体撮像装置の一実施例の要部を示す回路図である。

【図2】MOSトランジスタの定電流特性図である。

【符号の説明】

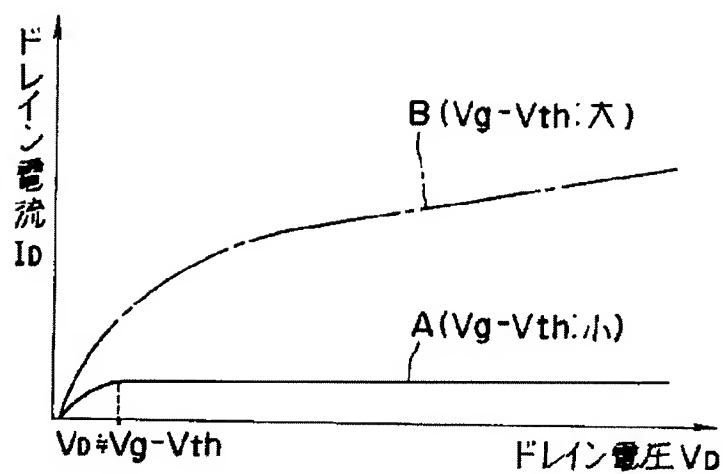
- 3 リセット用MOS-FET
- 4 増幅用MOS-FET
- 5 FDA(フローティング・ディフュージョン・アンプ)
- 10 負荷用MOSトランジスタ
- 10a 定電流特性を有するMOS-FET
- 10b 負帰還による抵抗作用をなすMOS-FET
- 12 クランプスイッチ
- 15 CDS(相関二重サンプルホールド)回路

【図1】



本発明の一実施例の回路図

【図2】



MOSトランジスタの定電流特性